

Pattern forming method

Patent Number: ☐ US6434730
Publication date: 2002-08-13
Inventor(s): ITO MITSUMI (JP); KOJIMA SEIJIRO (JP); SAWADA MASATOSHI (JP);
TSUJIKAWA HIROYUKI (JP)
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD (JP)
Requested Patent: ☐ JP2000208634
Application
Number: US20000484022 20000118
Priority Number
(s): JP19990010010 19990119
IPC Classification: G06F17/50
EC Classification:
Equivalents:

Abstract

After a layout for a semiconductor device including power and ground lines has been defined, patterns for bypass capacitors, which will be located under the power lines, are created. In this case, a pattern for a semiconductor device, where a bypass capacitor array is inlaid and substrate contacts are located under ground lines, is defined based on design rules input. Next, power lines are extracted and resized. Thereafter, logical operations are performed to place the bypass capacitors and the bypass capacitors are resized. Subsequently, logical operations are performed to define interconnecting diffused layers and the diffused layers are resized. Since the patterns for the power lines have already been defined before the patterns for the bypass capacitors are created, the patterns for the bypass capacitors to be placed under the power lines can be defined automatically. Thus, a pattern for a miniaturized semiconductor device with reduced power supply noise can be created automatically

Data supplied from the esp@cenet database - I2

(書誌+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開2000-208634(P2000-208634A)
 (43)【公開日】平成12年7月28日(2000. 7. 28)
 (54)【発明の名称】パターン生成方法
 (51)【国際特許分類第7版】

H01L 21/82
 21/3205
 27/04
 21/822

【FI】

H01L 21/82 L
 21/88 Z
 27/04 D

【審査請求】未請求**【請求項の数】7****【出願形態】OL****【全頁数】14****(21)【出願番号】特願平11-10010****(22)【出願日】平成11年1月19日(1999. 1. 19)****(71)【出願人】****【識別番号】000005821****【氏名又は名称】松下電器産業株式会社****【住所又は居所】大阪府門真市大字門真1006番地****(72)【発明者】****【氏名】伊藤 光実****【住所又は居所】大阪府門真市大字門真1006番地 松下電器産業株式会社内****(72)【発明者】****【氏名】辻川 洋行****【住所又は居所】大阪府門真市大字門真1006番地 松下電器産業株式会社内****(72)【発明者】****【氏名】小島 清次郎****【住所又は居所】大阪府門真市大字門真1006番地 松下電器産業株式会社内****(72)【発明者】****【氏名】澤田 征俊****【住所又は居所】大阪府門真市大字門真1006番地 松下電器産業株式会社内****(74)【代理人】****【識別番号】100077931****【弁理士】****【氏名又は名称】前田 弘(外1名)****【テーマコード(参考)】**

5F033
 5F038
 5F064

【Fターム(参考)】

5F033 UU04 VV04 VV05 XX23

5F038 CA09 CA17 CD02 CD13
5F064 CC23 DD02 DD08 EE02 EE26 EE45 EE52

(57)【要約】

【課題】微細化され、かつ電源ノイズの小さい半導体装置を製造するためのパターンを自動的に生成する方法を提供する。

【解決手段】電源配線やグランド配線などパターンを含む半導体装置のレイアウトを設計した後、電源配線下にバイパスコンデンサのパターンを生成する。このとき、デザインルールを取り込み、このデザインルールに基づいて、バイパスコンデンサアレイを敷き詰めたグランド配線下に基板コンタクトがある半導体装置を生成する。電源配線の抽出とリサイズとを行なった後、パスコン配置のための論理演算、パスコンのリサイズを行なう。さらに、接続用拡散層の生成のための論理演算を行なった後、接続用拡散層のリサイズを行なう。パスコンのパターンを形成する前に電源配線のパターンが生成されているので、電源配線の下に配置されるパスコンのパターンを自動的に生成することができる。

【特許請求の範囲】

【請求項1】自動的に半導体装置のパターンを生成する方法であって、半導体基板にMIS構造を有するセルと電源配線及びグランド配線のパターンとを含むレイアウトを生成するステップ(a)と、半導体基板、容量絶縁膜及び電極により構成されるMIS構造のバイパスコンデンサのパターンを上記電源配線のパターンに重なり合うように自動的に生成するステップ(b)とを備えているパターン生成方法。

【請求項2】請求項1記載のパターン生成方法において、上記バイパスコンデンサのパターン中には、上記電極の両側に設けられる第1の拡散層のパターンが含まれており、上記グランド配線は半導体基板の第2の拡散層に基板コンタクトにより接続されており、上記バイパスコンデンサの第1の拡散層と上記第2の拡散層との間を接続するための第3の拡散層を形成するステップ(c)をさらに備えていることを特徴とするパターン生成方法。

【請求項3】請求項1又は2記載のパターン生成方法において、上記ステップ(b)は、複数のバイパスコンデンサを配列してなるバイパスコンデンサアレイのパターンを準備するサブステップ(x)と、上記レイアウトから上記電源配線のパターンのみを抜き出すサブステップ(y)と、上記バイパスコンデンサアレイのパターンと上記配線のパターンとを重ね合わせて、上記バイパスコンデンサアレイ中の複数のバイパスコンデンサのうち上記電源配線のパターンと重なる部分を有するものだけをバイパスコンデンサのパターンとして生成するサブステップ(z)とを含むことを特徴とするパターン生成方法。

【請求項4】請求項3記載のパターン生成方法において、上記サブステップ(x)では、上記バイパスコンデンサの電極が一定方向に延びる矩形状であるバイパスコンデンサアレイのパターンを、電極の延びる方向が相直交するように2種類準備しておき、上記サブステップ(z)では、上記バイパスコンデンサの電極と上記電源配線とが互いに平行であるようにバイパスコンデンサのパターンを生成することを特徴とするパターン生成方法。

【請求項5】請求項3記載のパターン生成方法において、上記サブステップ(x)では、上記バイパスコンデンサの電極が一定方向に延びる矩形状であるバイパスコンデンサアレイのパターンを、電極の延びる方向が相直交するように2種類準備しておき、上記サブステップ(z)では、接続拡散層の面積が最大となる方向に回転させてバイパスコンデンサのパターンを生成することを特徴とするパターン生成方法。

【請求項6】請求項3記載のパターン生成方法において、上記サブステップ(x)では、上記バイパスコンデンサの電極が一定方向に延びる矩形状であるバイパスコンデンサアレイのパターンを1種類だけ準備しておき、上記サブステップ(z)では、上記バイパスコンデンサの電極と上記電源配線とが互いに平行である領域と互いに直交する領域とを有するようにバイパスコンデンサのパターンを生成することを特徴とするパターン生成方法。

【請求項7】請求項3記載のパターン生成方法において、上記サブステップ(x)では、上記電極がリング状であり、上記第1の拡散層が電極で囲まれる領域と電極の外側とに存在するバイパスコンデンサアレイのパターンを準備することを特徴とするパターン生成方法。

分野

【発明の属する技術分野】本発明は、MOS構造のセルとMOS構造のバイパスコンデンサとを備えた半導体装置のパターンを生成する方法に関するものである。

技術

【従来の技術】従来より、LSIの動作周波数の高速化に伴い、LSI中のトランジスタの信号中におけるノイズが増大し、このノイズを有効に低減させるための工夫が種々提案されている。

【0003】このノイズ対策の1つとして、電源配線とグランド配線との間にセルをバイパスしたコンデンサを配置することにより、電源ノイズ成分を吸収する方法があることは周知の技術である。

効果

【発明の効果】本発明のパターン生成方法によれば、電源配線等のレイアウトを生成するステップが終了してから、バイパスコンデンサのパターンを電源配線のパターンに重なり合うように自動的に生成するステップを行なうことにより、電源配線のパターンに含まれるバイパスコンデンサのパターンを自動的に生成することが容易になり、高集積化され、かつ電源ノイズの小さい半導体装置を製造するためのパターンを自動的に生成することができる。

課題

【発明が解決しようとする課題】しかしながら、セルベースなどの設計手法を用いて、半導体装置のパターンを予め生成しておき、このパターンに従って半導体装置を製造するに際し、バイパスコンデンサを配置するための手法は未だ確立されていないのが現実である。そこで、半導体装置のノイズだけでなく半導体装置の集積度、その他の特性を総合的に考慮した半導体装置のパターンを自動的に生成する手法が要望される。

【0005】本発明の目的は、半導体装置の微細化や動作周波数の高速化に適応しうる半導体装置のパターンを自動的に生成する手段を講ずることにより、微細化され、かつ低ノイズという優れた特性を有する半導体装置の製造に供するためのパターンの生成方法を提供することにある。

【0006】

手段

【課題を解決するための手段】本発明のパターン生成方法は自動的に半導体装置のパターンを生成する方法であって、半導体基板にMIS構造を有するセルと電源配線及びグランド配線のパターンとを含むレイアウトを生成するステップ(a)と、半導体基板にMIS構造を有するセルと電源配線及びグランド配線のパターンとを含むレイアウトを生成するステップ(a)と、半導体基板、容量絶縁膜及び電極により構成されるMIS構造のバイパスコンデンサのパターンを上記電源配線のパターンに重なり合うように自動的に生成するステップ(b)とを備えている。

【0007】この方法により、バイパスコンデンサのパターンを生成する前に電源配線のパターンがすでに生成されているので、その電源配線のパターンに含まれるバイパスコンデンサのパターンを自動的に生成することが可能になる。すなわち、高集積化され、かつ電源ノイズの小さい半導体装置を、自動的に生成されたパターンに基づいて製造することが可能になる。

【0008】上記パターン生成方法において、上記バイパスコンデンサのパターン中には、上記電極の両側に設けられる第1の拡散層のパターンが含まれており、上記グランド配線が半導体基板の第2の拡散層に基板コンタクトにより接続されている場合には、上記バイパスコンデンサの第1の拡散層と上記第2の拡散層との間を接続するための第3の拡散層を形成するステップ(c)をさらに備えることが好ましい。

【0009】この方法により、バイパスコンデンサのパターン中に第1の拡散層のパターンが含まれているので、パコンをセル内のMIS構造のトランジスタと同じものとして認識させることが可能となり、自動的にパターンを生成するための処理が容易になる。また、グランド配線が半導体基板の第2の拡散層に基板コンタクトにより接続されていることにより、ラッチアップ耐性の大きいセルを備えた構造のパターンとなる。そして、第3の拡散層を生成することにより、電源配線とグランド配線との間にパコンを低抵抗の拡散層と共に介在させることができる。すなわち、上述の効果に加えて、高周波動作による不要輻射ノイズを低減する機能の高い半導体装置の形成に供しうるパターンを生成することができる。

【0010】上記パターン生成方法において、上記ステップ(b)に、複数のバイパスコンデンサを配列してなるバイパスコンデンサアレイのパターンを準備するサブステップ(x)と、上記レイアウトから上記電源配線のパターンのみを抜き出すサブステップ(y)と、上記バイパスコンデンサアレイのパターンと上記配線のパターンとを重ね合わせて、上記バイパスコンデンサアレイ中の複数のバイパスコンデンサのうち上記電源配線のパターンと重なる部分を有するものだけをバイパスコンデンサのパターンとして生成するサブステップ(z)とを含ませることにより、パターンを自動的に生成するための処理が簡素化される。

【0011】その場合、上記サブステップ(x)では、上記バイパスコンデンサの電極が一定方向に延びる矩形状であるバイパスコンデンサアレイのパターンを、電極の延びる方向が相直交するように2種類準備しておき、上記サブステップ(z)では、上記バイパスコンデンサの電極と上記電源配線とが互いに平行であるようにバイパスコンデンサのパターンを生成することができる。

【0012】また、上記サブステップ(x)では、上記バイパスコンデンサの電極が一定方向に延びる矩形状であるバイパスコンデンサアレイのパターンを、電極の延びる方向が相直交するように2種類準備しておき、上記サブステップ(z)では、接続拡散層の面積が最大となる方向に回転させてバイパスコンデンサのパターンを生成することもできる。

【0013】さらに、上記サブステップ(x)では、上記バイパスコンデンサの電極が一定方向に延びる矩形状であるバイパスコンデンサアレイのパターンを1種類だけ準備しておき、上記サブステップ(z)では、上記バイパスコンデンサの電極と上記電源配線とが互いに平行である領域と互いに直交する領域とを有するようにバイパスコンデンサのパターンを生成することもできる。

【0014】上記パターン生成方法において、上記サブステップ(x)では、上記電極がリング状であり、上記第1の拡散層が電極で囲まれる領域と電極の外側とに存在するバイパスコンデンサアレイのパターンを準備することにより、電源配線の延びる方向にかかわらず、同じ形状のパコンを配置することが可能になる。

【0015】

【発明実施の形態】以下、本発明の各実施形態について、図面を参照しながら説明する。

【0016】(第1の実施形態)図1は、第1の実施形態における半導体装置の設計工程の一部をパコンパターン生成手順の詳細と共に示すフローチャートである。以下、図1のフローチャートに沿って、半導体装置の製造工程を概略的に説明する。

【0017】まず、ステップST1で、グランド配線下に基板コンタクトを有する半導体装置のレイアウト

を生成する。この状態では、図2に示す半導体装置のパターンが生成されている。

【0018】次に、サブステップST21～ST28からなるステップST2で、バイパスコンデンサ(以下、「パスコン」と略記する)のパターンを生成する。このとき、デザインルールをステップST3で取り込み、デザインルールから算出されたテクノロジーをステップST4で取り込んで、最終的にステップST5で、電源配線下にパスコンがありグランド配線下に基板コンタクトがありかつそれらが拡散層でつながった構造となっている半導体装置のパターンを生成する。ここで、ステップST4で入力されるテクノロジーとは、セル、パスコン、配線等の部材の大きさをプロセスのデザインルールによって定義したものを用いる。

【0019】次に、ステップST2中の各サブステップについて説明する。

【0020】サブステップST21で、ステップST3で入力されるデザインルールを取り込み、このデザインルールに基づいてパスコンの寸法を決定するとともに、ステップST1の結果からチップサイズを計測し、その中に配置可能なパスコンの配列数をデザインルールに従って算出するとともに、その配列のバイパスコンデンサアレイ(以下、「パスコンアレイ」と略記する)を図3(a)、(b)に示すように生成し、サブステップST22で、パスコンアレイを敷き詰めたグランド配線下に基板コンタクトがある半導体装置を生成する。

【0021】次に、サブステップST23でデザインルールにより算出したテクノロジーを入力して、図4(a)、(b)に示すように電源配線の抽出とリサイズとを行なう。次に、サブステップST24で、パスコン配置のための論理演算を行ない、サブステップST25でパスコンのリサイズを行なう。

【0022】次に、サブステップST26で、電源配線下にパスコンがありグランド配線下に基板コンタクトがある半導体装置を生成する。

【0023】さらに、サブステップST27で接続用拡散層生成のための論理演算を行なった後、サブステップST28で接続用拡散層のリサイズを行なう。

【0024】次に、上記各ステップ及びサブステップにおける処理の詳細を、この処理によって生成されるパターンを参照しながら説明する。

【0025】図2は、ステップST1で入力される半導体装置のレイアウトを示す平面図である。ここでは、すでに半導体装置のレイアウト工程によるセルの配置や配線の生成が終了しており、基板7上にグランド配線1a、1bと、電源配線5a、5bと、セル6とのパターンが生成されている。そして、基板7上に生成されている半導体装置の各部のパターンは以下のようにになっている。

【0026】グランド配線には、図2における横方向に延びる横方向グランド配線1aと縦方向に延びる縦方向グランド配線1bとがある。各グランド配線1a、1bの下方には、基板7の接地電位を確保するための領域としての基板コンタクト用拡散層2a、2bと、グランド配線1a、1b－基板コンタクト用拡散層2a、2b間互いに接続するための基板コンタクト用スルーホール3とが生成されている。また、横方向グランド配線1aと縦方向グランド配線1bとの交差部には、両者を互いに電氣的に接続するためのグランド配線乗り換えスルーホール4が生成されている。なお、基板コンタクト用拡散層2a、2bや基板コンタクト用スルーホール3の生成方法については、特願平9-181373号公報に開示されている方法を使用することができる。

【0027】電源配線には、図2における横方向に延びる横方向電源配線5aと縦方向に延びる縦方向電源配線5bとがある。また、横方向電源配線5aと縦方向電源配線5bとの交差部には、両者を互いに電氣的に接続するための電源配線乗り換えスルーホール5cとが生成されている。

【0028】図3(a)、(b)は、ステップST2中のサブステップST21で生成されるパスコンアレイの平面図である。本実施形態においては、図3(a)に示すような、横方向に延びる電源配線5aと同じ方向に延びるポリシリコン電極を有する多数のパスコンをアレイ状に配置したパスコンアレイ14と、図3(b)に示すような、縦方向に延びる電源配線5bと同じ方向に延びるポリシリコン電極を有する多数のパスコンをアレイ状に配置したパスコンアレイ15とを準備する。パスコンアレイ14、15内の1つ1つのパスコンは、ポリシリコン電極8と、第1の拡散層であるパスコン拡散層9と、パスコンスルーホール10と、パスコン枠13a、13bとを備えていて、後に説明するサブステップST24におけるパスコン配置の論理演算と、サブステップST28における拡散層接続のためのリサイズ処理とが容易に行なえるようになっている。

【0029】なお、パスコン拡散層9は必ずしも必要ではないが、パスコン拡散層9を有することにより、MOSTランジスタと同じ構造となるので、パスコンをMOSTランジスタと同じものとして認識させることが可能となり、パスコンに対してもMOSTランジスタに対する処理と共通の処理を行なうことが容易となる利点がある。また、後述するように、低抵抗化による不要輻射の低減効果なども得られる。本実施形態では、パスコンのポリシリコン電極8、パスコン拡散層9、パスコンスルーホール10の寸法をセル6内のMOSTランジスタのゲート電極、ソース・ドレイン拡散層、ゲートコンタ

ト(いずれも図示せず)と共通の寸法にしている。

【0030】図4(a)、(b)は、ステップST2中のサブステップST23において仮想パターン形成領域で抽出される仮想電源配線パターンを示す平面図である。まず、半導体装置の電源配線から電源配線乗り換えスルーホール1cを取り除き、電源配線から障害物を除いたパターンを生成する(図示せず)。さらに電源配線から障害物を除いたパターンをレイアウト検証ツール等の辺リサイズ機能を用いて、縦方向の辺のみをデザインルールより算出したテクノロジーで規定される電源配線の最小幅分だけマイナス方向に移動する。これにより、縦方向の電源配線のパターンが消去され、残った電源配線のパターンに対し、縦方向の辺のみを電源配線の最小幅分だけプラス方向に移動させることで、図4(a)に示す横方向の仮想電源配線パターン12aを抽出する。同様に、電源配線から障害物を除いたパターンに対して横方向の辺を、電源配線の最小幅分だけマイナス方向、プラス方向に移動すれば、図4(b)に示す縦方向の仮想電源配線パターン12bを抽出することができる。

【0031】図5(a)、(b)は、ステップST2中のサブステップST24において仮想パターン形成領域で抽出される仮想電源配線パターン12a、12bとパスコンレイ14、15との重なりを示す平面図である。まず、図4(a)に示す横方向の仮想電源配線パターン12aと、図3(a)に示す横方向に整列したパスコンレイ14中のパスコン枠13aとの積の論理演算を行ない、図5(a)に示すように、横方向の仮想電源配線パターン12aにオーバーラップするパスコンを抽出する。また、図4(b)に示す縦方向の仮想電源配線パターン12bと、図3(b)に示す縦方向に整列したパスコンレイ15中のパスコン枠13bとの積の論理演算を行ない、図5(b)に示すように、縦方向の仮想電源配線パターン12bにオーバーラップするパスコンを抽出する。

【0032】図6(a)、(b)は、ステップST2中のサブステップST25において生成されるパターンであって、仮想パターン形成領域において各仮想電源配線パターン12a、12bに完全に包含されるパスコン枠13a、13bのみが残された状態を示す平面図である。サブステップST25においては、パスコン枠13a、13bの各最小幅の半分の値をテクノロジーに定義しておき、パスコン枠13a、13bの縮小と拡大つまりリサイズを行なうことで、微小パターンとなったパスコンパターンを消去し、各仮想電源配線パターン12a、12bに完全に包含されるパスコン枠13a、13bのみを残す。

【0033】なお、本実施形態では、ステップST2中のサブステップST25で、各仮想電源配線パターン12a、12bに完全に包含されるパスコン枠13a、13bのみを残しているが、本発明はかかる実施形態に限定されるものではない。例えば、各仮想電源配線パターン12a、12bにポリシリコン電極8が完全に包含されるようなパスコンのみを図6(a)、(b)に示す状態で残すようにしてもよい。あるいは、パスコン枠13のうちのある一定割合が含まれているパスコンのみを残すような方法も採用できる。

【0034】次に、図7(a)は、ステップST2中のサブステップST26で生成される半導体装置のパターンを示す平面図である。図7(b)は、図7(a)のVIIb-VIIb線における部分断面図である。

【0035】すなわち、図6(a)、(b)に示す各仮想電源配線パターン12a、12bに完全に包含されるパスコン枠13a、13bのみを、パスコンレイを敷き詰めた半導体装置中の各電源配線5a、5bの下方に残すように処理することで、図7(a)に示す半導体装置のパターンが得られる。

【0036】図7(b)に部分断面構造を示すように、基板7のPWELLにはP+型の基板コンタクト用拡散層2a、2bが生成されており、この基板コンタクト用拡散層2a、2bと各グランド配線1a、1bとを接続する基板コンタクト用スルーホール3が生成されている。そして、電源配線5a、5bの下方に、パスコンのポリシリコン電極8と、ポリシリコン電極8-電源配線5b間を互いに接続するためのパスコンスルーホール10とが生成されており、PWELLにはP+型のパスコン拡散層9が生成されている。

【0037】なお、この段階ではパスコンの容量絶縁膜のパターンは生成されていないが、MOSTランジスタのゲート酸化膜と共通のパターンとして後に生成することができる。

【0038】次に、図8(a)は、サブステップST27、28によって生成される半導体装置のパターンを示す平面図、図8(b)は図8(a)のIIXb-IIXb線における断面構造を示す部分断面図である。サブステップST27においては、図7(a)、(b)に示す半導体装置のパターンにおいて、電源配線5a、5b下のパスコンのパスコン拡散層9と、グランド配線1a、1b下の基板コンタクト用拡散層2a、2bとが共に隣接する領域(接続用拡散層11a、11b)を、デザインルールより算出したテクノロジーに定義した数値に基づき、レイアウト検証ツール等を用いて抽出する。つまり、基板コンタクト用拡散層2a、2bとパスコン拡散層9との距離がわからないので、両者間の距離をレイアウト検証ツールによって抽出する。そのとき、まずテクノロジーから推定される値よりも当該領域の長さを大きめに設定すると、レイアウト検証ツール等のセパレーションチェック機能により、当該領域の長さが短すぎる

というエラーが出力される。そこで、このエラーデータとして生成される領域を接続用拡散層11a、11bとして生成する。

【0039】さらに、サブステップST28において、デザインルールにより算出したテクノロジーに定義される拡散層の最小幅の半分の値で縮小と拡大とを行なって微小パターンを除去することにより、図8(a)、(b)に示す半導体装置のパターンを生成することができる。

【0040】本実施形態によれば、電源配線5a、5bのパターンの下に包含されるパスキンのパターンを自動的に生成することで、半導体チップ全体の面積を増加させることなく、電源ノイズを低減させるための容量となるパスキンを有する半導体装置のパターンを生成することができる。すなわち、半導体装置の面積を増大させる電源とグランド間にパスキンを挿入することが可能となり、電源ノイズを吸収する機能の大きい安定に動作する回路を実現することができる。

【0041】その場合、半導体装置のレイアウトつまり配置配線処理が終了してから、ステップST1でこの半導体装置のパターンを入力し、このパターンに基づいてパスキンパターンを生成しているので、一連の処理を手動ではなく自動的にこなすことが可能になる。すなわち、配線パターンが生成されていることにより、本実施形態におけるサブステップST21～ST26の処理を自動的にこなすことができるのである。この処理は、グランド配線1a、1b下に基板コンタクト用スルーホール3や、基板コンタクト用拡散層2a、2bがない場合であっても適用することができる。

【0042】さらに、電源配線5a、5b下のパスキン拡散層9とグランド配線1a、1b下に構成される基板コンタクト用拡散層2a、2bとをそれぞれ接続する接続用拡散層11a、11bを生成することにより、高抵抗な基板7よりも低い抵抗でパスキン拡散層9と基板コンタクト用拡散層2a、2bとを接続することができる。したがって、電源とグランド間のインピーダンスを低くすることで、高周波動作による不要輻射ノイズをより効果的に低減することができる。

【0043】また、横方向の電源配線5aの下方には横方向に整列したパスキンアレイ14中のパスキンを配置し、縦方向の電源配線5bの下方には縦方向に整列したパスキンアレイ15中のパスキンを配置することにより、サブステップ27、28における接続用拡散層11a、11bの生成が容易となる利点がある。

【0044】ただし、電源配線5a、5bの延びる方向と、その電源配線5a、5bの下に生成されるパスキンのポリシリコン電極8の延びる方向とを必ず一致させる必要はない。特に、サブステップST24において、サブステップST27、28で生成される接続用拡散層2a、2bの幅が最大になる方向にパスキンを回転させて配置することにより、より低い抵抗でパスキンをグランド配線1a、1bに接続することができる。

【0045】(第2の実施形態) 図9(a)は、本発明の第2の実施形態におけるパターンの生成方法によって生成された半導体装置のパターンを示す平面図である。図9(b)は、図9(a)のIXb-IXb線における部分断面図である。

【0046】図9(a)、(b)に示すように、本実施形態における半導体装置のセルや配線の構造は、上記第1の実施形態における図8(a)、(b)に示す半導体装置の構造と同じであるが、下記点が異なる。

【0047】本実施形態の半導体装置においては、図9(a)、(b)に示すように、パスキンのポリシリコン電極8はいずれも同図の縦方向に延びている。そして、縦方向のグランド配線1b下の基板コンタクト用拡散層2bと縦方向の電源配線5b下のパスキン拡散層9とを接続する接続用拡散層11bは、第1の実施形態と同様のパターンを有している。一方、横方向のグランド配線1a下の基板コンタクト用拡散層2aと横方向の電源配線5a下のパスキン拡散層9とを接続する接続用拡散層11aは、1つのパスキンのポリシリコン電極8の両側のパスキン拡散層9につながっている。

【0048】本実施形態においても、パターン形成のための基本的な手順は、図1のフローチャートに示す通りであって、具体的には以下の手順による。

【0049】本実施形態においては、サブステップST21において図3(b)に示すパスキンアレイ15のみを使用し、サブステップST23においては、図4(a)、(b)に示す横方向の仮想電源配線パターン12aと縦方向の仮想電源配線パターン12bとを一度に仮想パターン形成領域に生成する。そして、図5(a)、(b)に示す論理演算の代わりに、各仮想電源配線パターン12a、12bとパスキンアレイ15との論理演算を行なうことにより、図6(a)、(b)に示すパターンの代わりに、各仮想電源配線パターン12a、12bに包含されるパスキン枠13bを生成する。これにより、サブステップST26において、電源配線5a、5bの延びる方向に拘わらずポリシリコン電極8の延びる方向が一律であるパスキンが各電源配線5a、5bの下方に配置された半導体装置のパターンを生成する。そして、サブステップST27、28の処理においては、縦方向のグランド配線1b下の基板コンタクト用拡散層2bと縦方向の電源配線5b下のパスキン拡散層9とを接続する接続用拡散層11bは、第1の

実施形態と同様に生成することができる。一方、横方向のグランド配線1a下の基板コンタクト用拡散層2aと横方向の電源配線5a下のパズコン拡散層9とを接続する接続用拡散層11aは、1つのパズコンのポリシリコン電極8の両側のパズコン拡散層9につながるように生成する。

【0050】このように、共通の方向に延びるポリシリコン電極8を有するパズコンを各電源配線5a, 5bの下方に配置する処理を行なうことにより、サブステップST23における各仮想電源配線12a, 12bを生成する際に、横方向の電源配線5aか縦方向の電源配線5bかを識別して個別に抽出する必要がないので、サブステップST23の処理を簡素化することができる。

【0051】(第3の実施形態)図10(a)は、本発明の第3の実施形態におけるパターンの生成方法によって生成された半導体装置のパターンを示す平面図である。図10(b)は、図10(a)のXb-Xb線における部分断面図である。

【0052】本実施形態においては、半導体領域である基板7と逆導電型のMOSTランジスタをパズコンとして形成する場合について説明する。図10(a), (b)に示すように、本実施形態における半導体装置のセルや配線の構造は、上記第1の実施形態における図8(a), (b)に示す半導体装置の構造と同じであるが、下記点が異なる。

【0053】本実施形態の半導体装置においては、PWELLの上に、P+型の基板コンタクト用拡散層2a, 2bと、N+型のパズコン拡散層9とが設けられている。このような場合には、パズコン形成拡散層9と基板コンタクト用拡散層2a, 2bと導電型が逆であるので、PN接合部が存在することにより、そのままでは両者間の電氣的接続が不良となるおそれがある。そこで、本実施形態においては、以下に説明するように、パズコン形成拡散層9と基板コンタクト用拡散層2a, 2bとの間の電氣的接続をサリサイドプロセスによって実現している。

【0054】本実施形態におけるパターン形成の手順は、接続用拡散層を生成するサブステップST27, 28においてサリサイドプロセスを採用する点を除くと、第1の実施形態における図1のフローチャートと基本的には同じである。

【0055】本実施形態においては、サブステップST21において図3(a), (b)に示す2種類のパズコンレイ14, 15を用い、サブステップST23において図4(a), (b)に示す横方向の仮想電源配線パターン12aと縦方向の仮想電源配線パターン12bとを個別に仮想パターン形成領域に抽出する点は、第1の実施形態と同じである。しかし、サブステップST24における論理演算においては、図5(a), (b)に示す論理演算の代わりに、横方向の仮想電源配線パターン12aと縦方向のパズコンレイ15との論理演算を行い、縦方向の仮想電源配線パターン12bと横方向のパズコンレイ14との論理演算を行なう。これにより、図6(a), (b)に示すパターンの代わりに、横方向の仮想電源配線パターン12aに包含されるパズコン枠13bと、縦方向の仮想電源配線パターン12bに包含されるパズコン枠13aとを生成する。そして、サブステップST26においては、横方向の電源配線5aの下方には縦方向に延びるポリシリコン電極8を有するパズコンが配置され、縦方向の電源配線5bの下方には横方向に延びるポリシリコン電極8を有するパズコンが配置された半導体装置のパターンを生成する。

【0056】さらに、サブステップST27, 28の処理においては、横方向の電源配線5a下のパズコン拡散層9と基板コンタクト用拡散層2aとを接続する接続用拡散層11aと、縦方向の電源配線5b下のパズコン拡散層9と基板コンタクト用拡散層2bとを接続する接続用拡散層11bとは、いずれも、1つのパズコンのポリシリコン電極8の両側のパズコン拡散層9につながった形状となるように生成される。また、図10(b)に示すように、基板コンタクト用拡散層2a, 2b、パズコン拡散層9及び接続用拡散層11a, 11bの表面領域には拡散層上シリサイド膜11xが設けられ、パズコンポリシリコン電極8の表面領域には電極上シリサイド膜5xが設けられた半導体装置のパターンを生成する。

【0057】ただし、サブステップST27においては、横方向の電源配線5a下に配置したパズコン拡散層9と横方向のグランド配線1a下の基板コンタクト用拡散層2aとを和の論理演算でグループ化し、レイアウト検証ツール等のセパレーションチェック機能を利用してグループ化したパターンの縦方向セパレーションを埋めるパターンを生成する。さらに、縦方向の電源配線5b下に配置したパズコン拡散層9と縦方向のグランド配線1b下の基板コンタクト用拡散層2bについても同様にグループ化し、横方向のセパレーションを埋めるパターンを生成する。その後、サブステップST28のリサイズ処理において、サブステップST27で生成されたパターンに対して、デザインルールより算出したテクノロジーに定義した拡散層の最小幅の半分の値で縮小と拡大を行ない微小パターンを除去し、接続用拡散層11a, 11bを生成する。

【0058】最後に、パズコン枠13を基板7のPWELLと逆導電型の不純物が導入されるイオン注入領域として出力する。

【0059】この方法によれば、パスキンのパスキン拡散層9のいずれかが電氣的に浮くことがない状態で、全てのパスキン拡散層9を基板コンタクト用拡散層2a、2bに電氣的に接続させることができる。すなわち、基板7(ウエル領域)と同じ導電型のMOSTランジスタを形成することができない半導体製造プロセスの場合においても、電源配線5a、5bの下方にパスキンを自動的に配置することができる。

【0060】(第4の実施形態) 図11は、本発明の第4の実施形態において用いられるパスキンのパターンを示す平面図である。また、図12(a)は、本発明の第4の実施形態におけるパスキンの生成方法によって生成された半導体装置のパターンを示す平面図である。図12(b)は、図12(a)のXIIb-XIIb線における部分断面図である。

【0061】図11に示すように、本実施形態におけるパスキンは、矩形状のポリシリコン電極8と、ポリシリコン電極8の外方に設けられるパスキン拡散層9と、ポリシリコン電極8の上に設けられるパスキンスルーホール10とを備えている。

【0062】また、図12(a)、(b)に示すように、本実施形態における半導体装置のセルは配線の構造は、上記第1の実施形態における図8(a)、(b)に示す半導体装置の構造と同じであるが、下記点が異なる。

【0063】本実施形態の半導体装置においては、各グランド配線1a、1b下の基板コンタクト用拡散層2a、2bと、各電源配線5a、5b下のパスキン拡散層9とを接続する接続用拡散層11a、11bは、いずれも、グランド配線1a、1bに対向する辺に並ぶ全てのパスキン拡散層9と基板コンタクト用拡散層2a、2bとを接続するように、一体的に設けられている。

【0064】なお、図示しないが、セル中のMOSTランジスタのパターンも、パスキンと同様に、リング状のポリシリコン電極のパターンと、このポリシリコン電極で囲まれる領域及びポリシリコン電極の外方の領域に設けられたソース・ドレイン拡散層のパターンとを有している。

【0065】本実施形態におけるパターン形成の手順は、第1の実施形態における図1のフローチャートと基本的には同じである。

【0066】本実施形態においては、サブステップST21において図11に示すリング状ポリシリコン電極8を有する1種類のパスキンレイ16を用い、サブステップST23において、図4(a)、(b)に示すパターンに代えて、横方向の仮想電源配線パターン12aと縦方向の仮想電源配線パターン12bとを同時に仮想パターン形成領域に抽出する。そして、サブステップST24における論理演算においては、図5(a)、(b)に示す論理演算の代わりに、横方向及び縦方向の仮想電源配線パターン12a、12bとパスキンレイ16との論理演算を行なう。これにより、図6(a)、(b)に示すパスキンの代わりに、各仮想電源配線パターン12a、12bに包含されるパスキン枠13cを生成する。そして、サブステップST26においては、各電源配線5a、5bの下方に、リング状のポリシリコン電極8を有するパスキンが配置された半導体装置のパターンを生成する。

【0067】さらに、サブステップST27、28の処理においては、ポリシリコン電極8の外方のパスキン拡散層9と基板コンタクト用拡散層2aとを接続する接続用拡散層11aと、パスキン拡散層9と基板コンタクト用拡散層2bとを接続する接続用拡散層11bとが、いずれも、一体化された広幅の形状となるように行なう。

【0068】ただし、サブステップST27においては、横方向の電源配線5a下に配置したパスキン拡散層9と横方向のグランド配線1a下の基板コンタクト用拡散層2aとを和の論理演算でグループ化し、レイアウト検証ツール等のセパレーションチェック機能を利用してグループ化したパスキンの縦方向セパレーションを埋めるパターンを生成する。さらに、縦方向の電源配線5b下に配置したパスキン拡散層9と縦方向のグランド配線1b下の基板コンタクト用拡散層2bについても同様にグループ化し、横方向のセパレーションを埋めるパターンを生成する。

【0069】本実施形態に係るリング状ポリシリコン電極8を備えたパスキンを配置した半導体装置によれば、縦方向、横方向の電源配線5a、5bを個別に仮想パターン形成領域に生成する必要がないので、電源配線のリサイズを必要とせず、処理の簡素化が図れる。また、パスキンを電源配線5a、5b下の領域にすき間なく配置することが可能であり、より多くの容量を設けることができる。加えて、パスキン拡散層9と基板コンタクト用拡散層2a、2bとを接続する接続用拡散層11a、11bの幅をより拡大することができ、より低抵抗のパスキンを接続することができる。

【0070】なお、本実施形態においては、四角形のポリシリコン電極を設けているが、本発明のパスキンの電極の形状はかかる実施形態に限定されるものではない。例えば、六角形や三角形あるいは円形であってもよいものとする。

図の説明

【図面の簡単な説明】

【図1】本発明の各実施形態における半導体装置の設計工程の一部をパコンパターン生成手順の詳細と共に示すフローチャートである。

【図2】半導体装置の配線パターン等の生成処理が終了した後であって、パコンパターンの生成前における半導体装置のパターンを示す図である。

【図3】第1の実施形態において生成されるパコンアレイの平面図である。

【図4】第1の実施形態において仮想パターン形成領域で抽出される仮想電源配線パターンを示す平面図である。

【図5】第1の実施形態において仮想パターン形成領域で抽出される仮想電源配線パターンとパコンパターンとの重なりを示す平面図である。

【図6】第1の実施形態において仮想パターン形成領域で各仮想電源配線パターンに完全に包含されるパコン枠のみが残された状態を示す平面図である。

【図7】第1の実施形態において仮想パターン形成領域で接続拡散層の形成前に生成される半導体装置のパターンを示す平面図である。

【図8】第1の実施形態において生成される半導体装置のパターンを示す平面図、及びIIxb-IIxb線における断面構造を示す部分断面図である。

【図9】本発明の第2の実施形態において生成される半導体装置のパターンを示す平面図、及びIXb-IXb線における部分断面図である。

【図10】本発明の第3の実施形態において生成される半導体装置のパターンを示す平面図、及びXb-Xb線における部分断面図である。

【図11】本発明の第4の実施形態において用いられるパコンのパターンを示す平面図である。

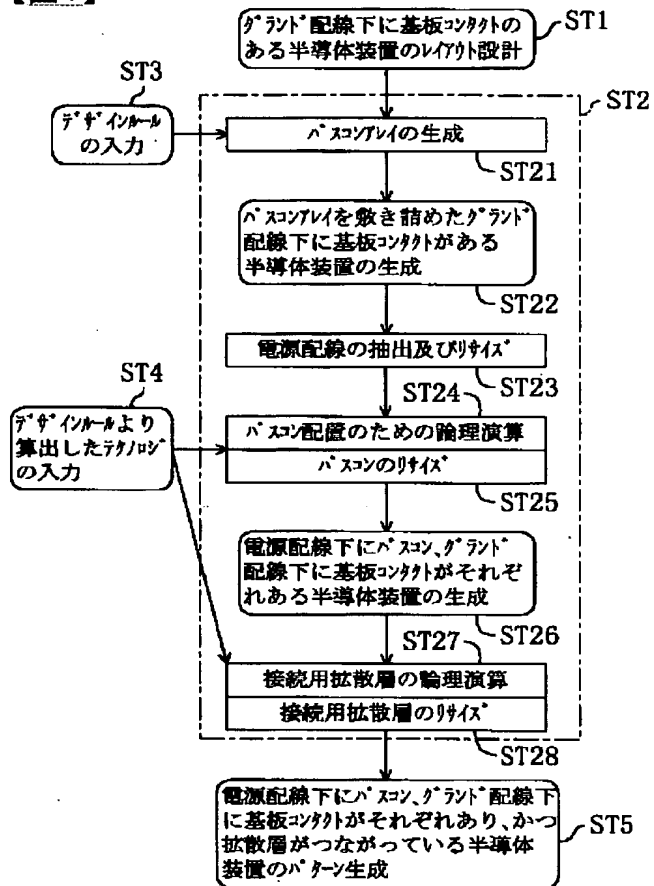
【図12】本発明の第4の実施形態において生成される半導体装置のパターンを示す平面図、及びXIIIb-XIIIb線における部分断面図である。

【符号の説明】

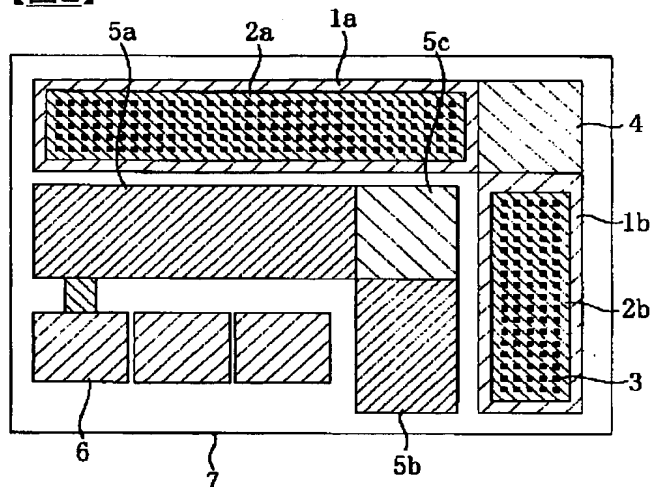
- 1 グランド配線
- 2 基板コンタクト用拡散層
- 3 基板コンタクト用スルーホール
- 4 配線乗り換えスルーホール
- 5 電源配線
- 6 基本セル
- 7 基板
- 8 ポリシリコン電極
- 9 パスコン拡散層
- 10 パスコンスルーホール
- 11 接続用拡散層
- 12 仮想電源配線パターン
- 13 パスコン枠
- 14 パスコンアレイ
- 15 パスコンアレイ

図面

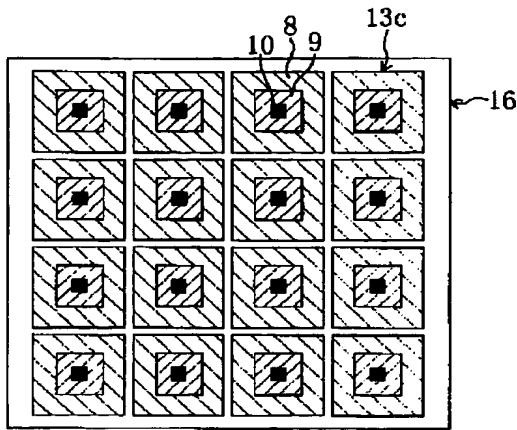
【圖 1】



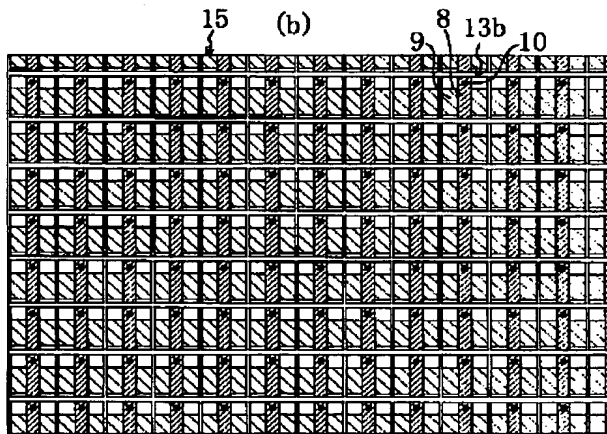
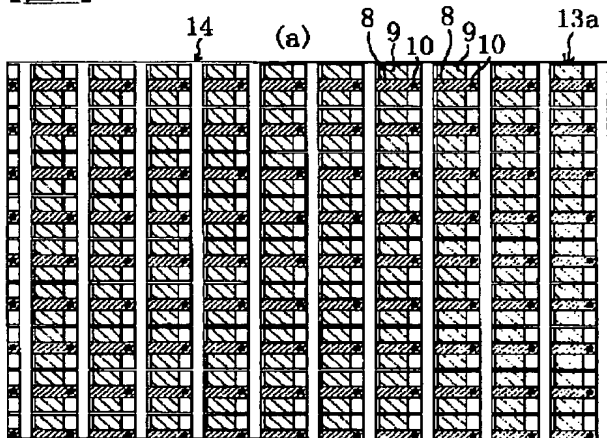
【図2】



【图 11】

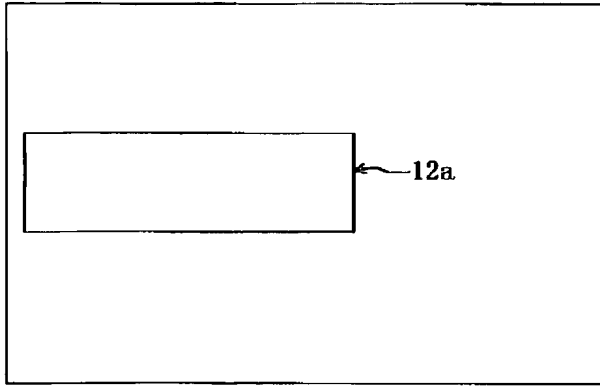


【図3】

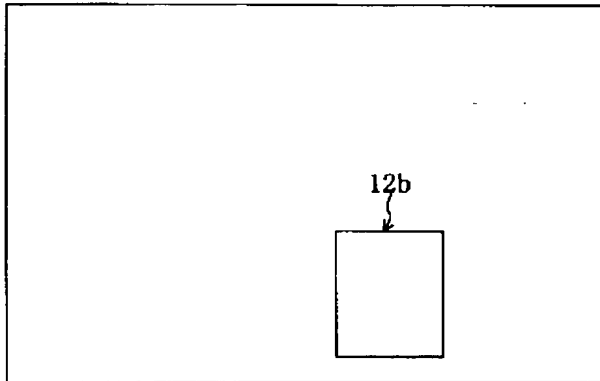


【図4】

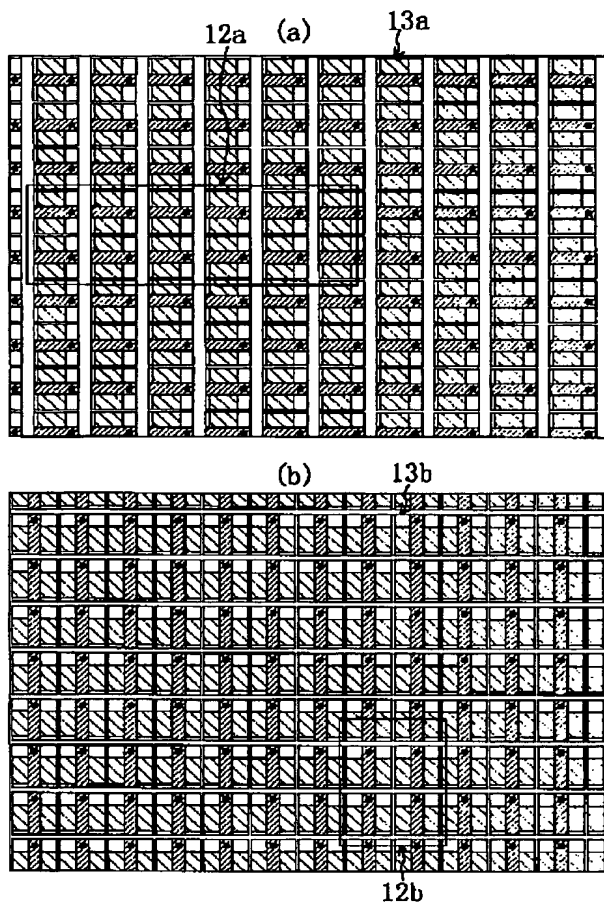
(a)



(b)

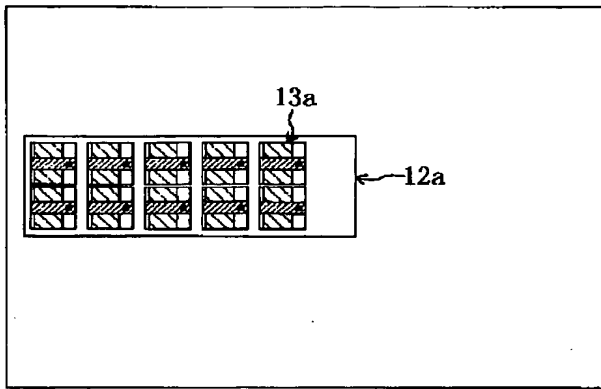


【図5】

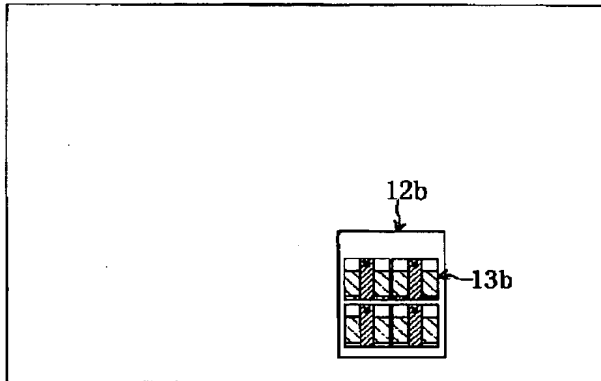


【図6】

(a)

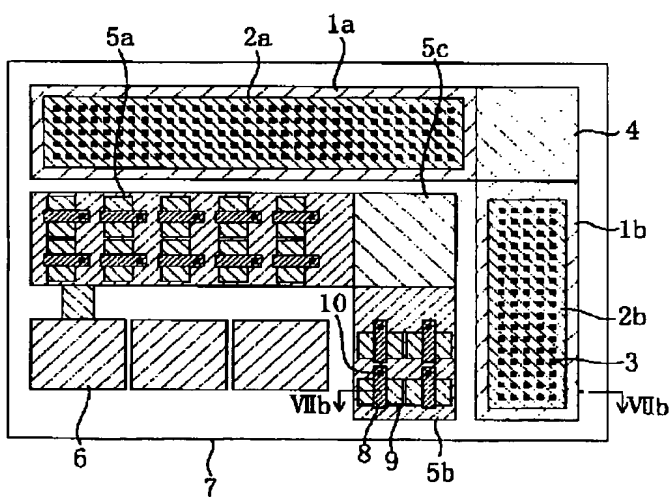


(b)

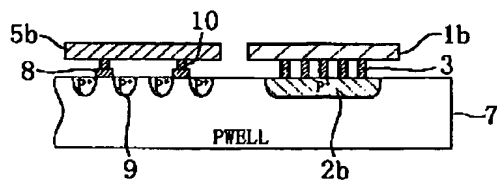


【図7】

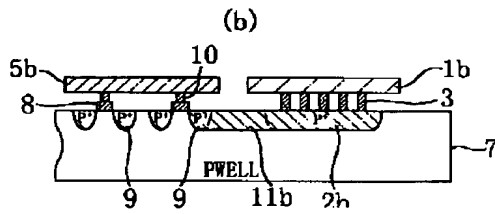
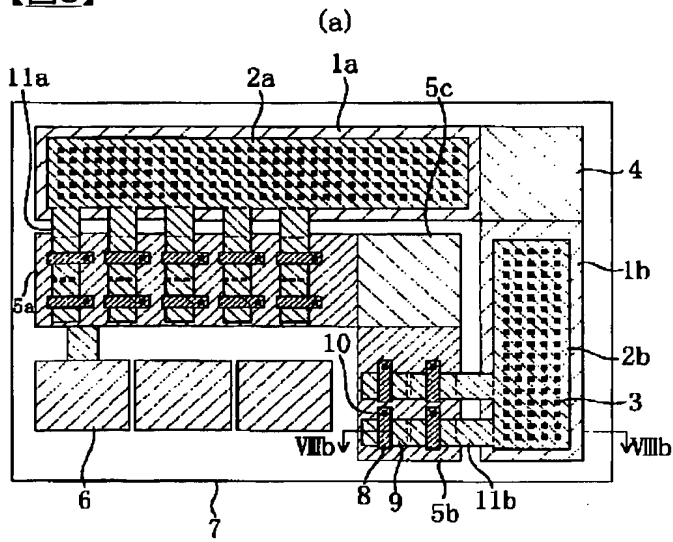
(a)



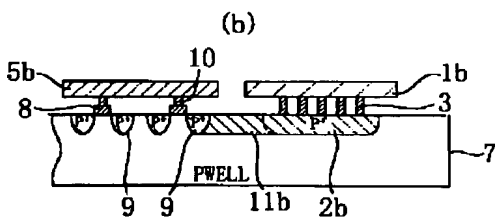
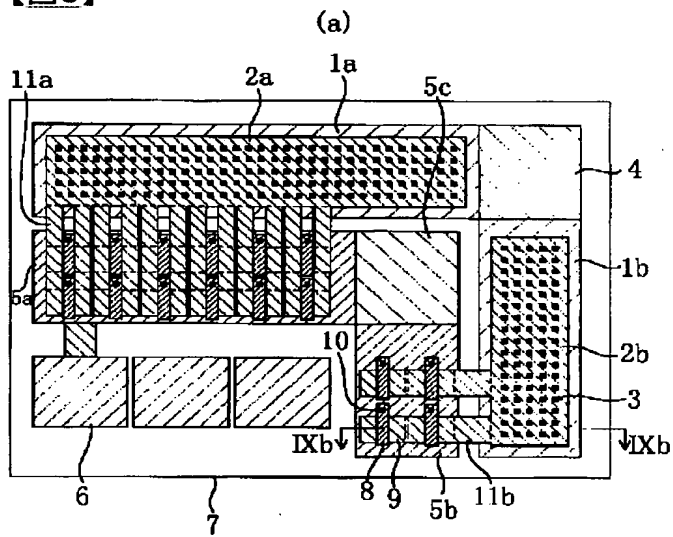
(b)



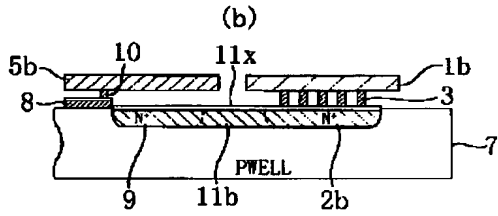
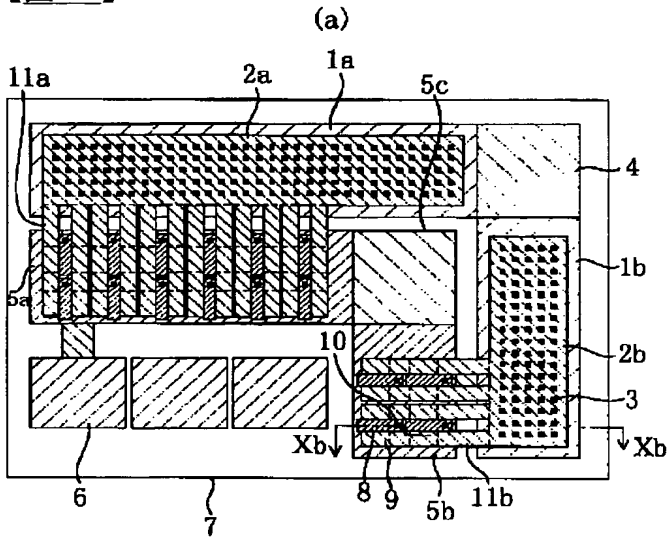
【図8】



【図9】



【图10】



【图12】

